

РАЗРАБОТКА УСТРОЙСТВА ЗАДЕРЖКИ СИГНАЛОВ С ИЗМЕНЯЕМОЙ ДЛИТЕЛЬНОСТЬЮ ЗАДЕРЖКИ В ПРОГРАММНОЙ СРЕДЕ QUARTUS

Мискарян Генрик Рубенович

студент, кафедра средства связи и информационная безопасность, Омский Государственный Технический университет, РФ, г. Омск

Пятков Денис Антонович

студент, кафедра средства связи и информационная безопасность, Омский Государственный Технический университет, РФ, г. Омск

DEVELOPMENT OF A SIGNAL DELAY DEVICE WITH A VARIABLE DELAY DURATION IN THE QUARTUS SOFTWARE ENVIRONMENT

Henrik Miskarian

Student, Department of Communications and Information Security, Omsk State Technical University, Russia, Omsk

Denis Pyatkov

Department of Communications and Information Security, Omsk State Technical University, Russia, Omsk

Аннотация. В данном курсовом проекте произведено разработка и проектирование устройства генерации сигнала табличным методом на ПЛИС при помощи программной среды Quartus на языке описания аппаратуры Verilog.

Abstract. In this course project, the development and design of a signal generation device by a tabular method on an FPGA using the Quartus software environment in the Verilog hardware description language was carried out.

Ключевые слова: Линия задержки, электромагнитные волны, акустические волны, цифровая обработка сигнала, обработка аналоговых сигналов, ПЛИС, проектирование устройств, Quartus.

Keywords: Delay line, electromagnetic waves, acoustic waves, digital signal processing, analog signal processing, FPGA, device design, Quartus.

Задание: Разработать устройство линии задержки,

имеющего 7-ми битный вход. Время задержки задано условием: если на входе число меньше 42 – задержка на 3 такта, от 42 до 84 – 5 тактов, больше 84 – 10 тактов.

Программный код разработанного устройства представлен на рисунке 1.

```
1 module regg (CLK, in, out, t0, t1, t2, t3, t4, t5, t6, t7, t8, t9,
2   t10, t11, t12, t13, t14, t15, t16, t17, outreg, reset);
3   input CLK, reset; //двухбитные входы счетчика и обнуления
4   input [6:0] in; //7-ми битный вход ввода сигнала
5   output [6:0] out; //7-ми битный выход результата
6   reg [6:0] inreg; //7-ми битный регистр, используемый внутри блока always
7   output reg [6:0] t0, t1, t2, t3, t4, t5, t6, t7, t8, t9, t10, //для удобства мониторинга результата
8   t11, t12, t13, t14, t15, t16, t17, outreg; //определены 7-ми битные выходы 19-ти регистров
9   always @(posedge CLK) //изменение состояний внутри блока always по положительному фронту
10  begin
11    inreg = in; //присваивание данных от входа in регистру inreg
12    if (reset) //если вход reset = 1, производится обнуление регистров
13    begin
14      t0 <= 0;
15      t1 <= 0;
16      t2 <= 0;
17      t3 <= 0;
18      t4 <= 0;
19      t5 <= 0;
20      t6 <= 0;
21      t7 <= 0;
22      t8 <= 0;
23      t9 <= 0;
24      t10 <= 0;
25      t11 <= 0;
26      t12 <= 0;
27      t13 <= 0;
28      t14 <= 0;
29      t15 <= 0;
30      t16 <= 0;
31      t17 <= 0;
32    end
33    else //если reset = 0, выполнение остального кода
34    begin
35      if ((inreg > 0) & (inreg <= 7'b0101010)) //если число больше 0 и меньше 42 => задержка на 3 такта
36      begin
37        t0 <= inreg;
38        t1 <= t0;
39        t2 <= t1;
40        outreg <= t2;
41      end
42      else if ((inreg > 7'b0101010) & (inreg <= 7'b1010100)) //если число больше 42 и меньше 84 => задержка на 5 тактов
43      begin
44        t3 <= inreg;
45        t4 <= t3;
46        t5 <= t4;
47        t6 <= t5;
48        t7 <= t6;
49        outreg <= t7;
50      end
51      else if ((inreg > 7'b1010100) & (inreg <= 7'b1111111)) //если число больше 84 => задержка на 10 тактов
52      begin
53        t8 <= inreg;
54        t9 <= t8;
55        t10 <= t9;
56        t11 <= t10;
57        t12 <= t11;
58        t13 <= t12;
59        t14 <= t13;
60        t15 <= t14;
61        t16 <= t15;
62        t17 <= t16;
63        outreg <= t17;
64      end
65    end
66  end
67  assign out = outreg; //присвоение выводу out данные регистра outreg
68 endmodule //конец модуля
```

Рисунок 1. Программный код устройства

Принцип работы устройства основан на использовании неблокирующего присваивания (в

языке Verilog обозначается символом \leq) и большого числа регистров, между которыми будет передаваться сигнал. Передача сигнала синхронизирована с положительным фронтом тактового CLK (в программе используется частота 50 МГц). Для наглядности работы ЛЗ используются output регистры, названия которых также указываются в списке портов. Также добавлен битовый вход reset, который очищает содержимое регистров (происходит обнуление) для исключения неисправности работы.

Неблокирующее присваивание изменяется в зависимости от блока always. В данном случае каждое присваивание происходит по положительному фронту тактового сигнала.

При подаче на вход in сигнала, устройство присваивает данное значение регистру inreg, после чего проверяет условия три условия if на истинность, где определяет, к какому диапазону чисел относится введенное число. Затем, если условие истинное, происходит неблокирующее присваивание содержимого регистра inreg сначала первому регистру, затем второму и т.д до последнего регистра outreg.

Количество строк присваивания на 1 больше, чем заданное количество тактов задержки, т.к. первое присваивание происходит мгновенно без задержки на такт.

После выполнения действий внутри блока if, происходит присваивание значения регистра outreg порту out.

Работа программы продемонстрирована на рисунках 2 – 4. На вход in поданы числа 30, 75 и 100. Согласно коду, происходит задержка на 3, 5 и 10 тактов соответственно.

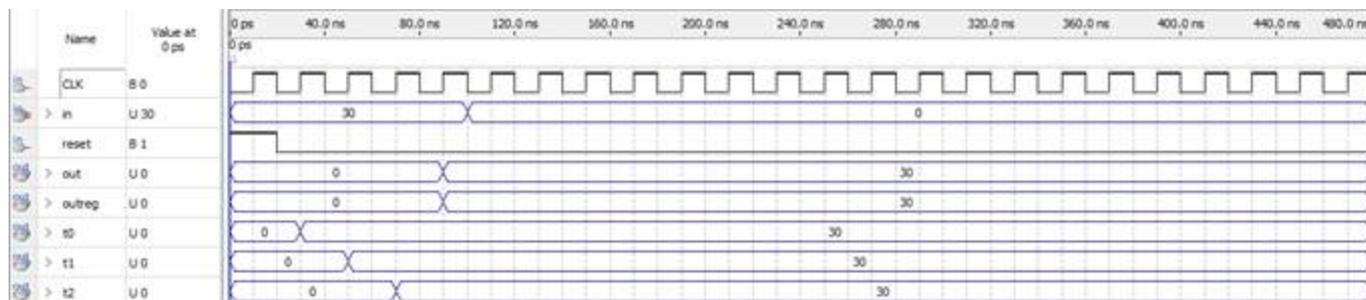


Рисунок 2. Число 30 задержано на 3 такта

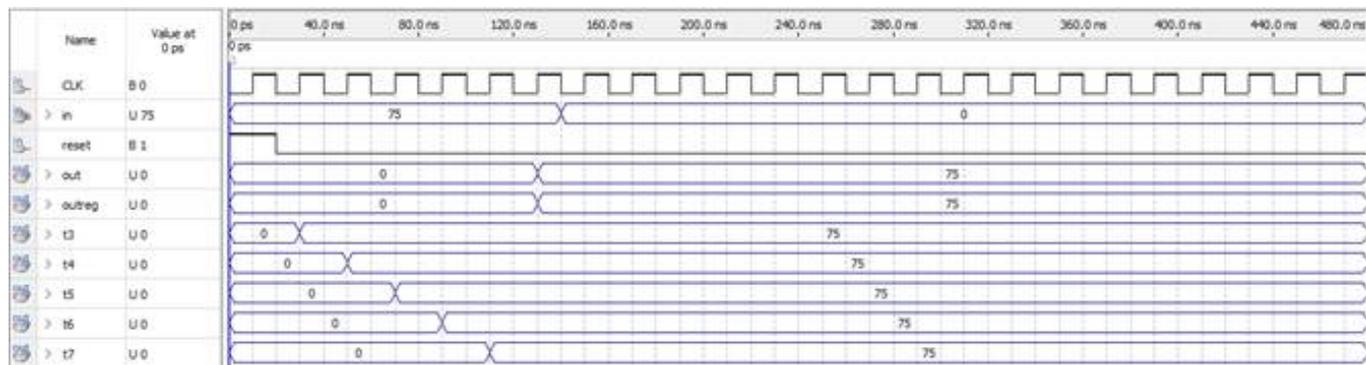


Рисунок 3. Число 75 задержано на 5 тактов

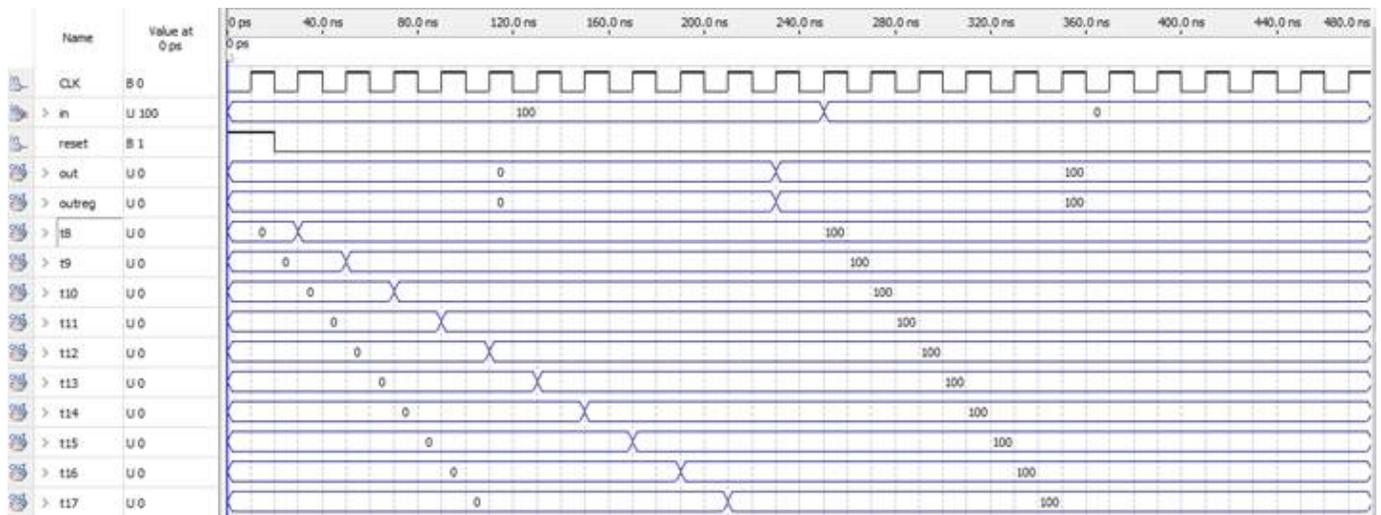


Рисунок 4. Число 100 задержано на 10 тактов

Проанализировав результаты симуляции, видно, что задержка сигналов **ПРОИСХОДИТ СОГЛАСНО заданному принципу.**

Заключение

Линия задержки является распространенным устройством для согласования или разнесения сигналов по времени или фазе. Область применения довольно широка – от телевидения до акустических инструментов. В ходе выполнения курсовой работы в программной среде Quartus была разработана линия задержки 7-ми битного сигнала на изменяемое количество тактов. Финальное устройство имеет один 7-ми битный вход для ввода задерживаемого сигнала, один битовый вход для обнуления регистров, один битовый вход для тактовых импульсов и один 7-ми битный выход.

Список литературы:

1. Физическая акустика под ред. У. Мэзона. Том 1. Методы и приборы ультразвуковых исследований — М.: Мир, 1966
2. Википедия. Свободная энциклопедия [Электронный ресурс]. Режим доступа: URL <https://ru.wikipedia.org/wiki/Шифратор>
3. Интегральные микросхемы и их зарубежные аналоги: Справочник. Том 7./А. В. Нефедов — М.: ИП РадиоСофт, 1998
4. Морган Д. Устройства обработки сигналов на поверхностных акустических волнах. М., 1990.
5. Ерофеев Ю. Н. Импульсные устройства. 3-е изд. М., 1989;